

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-79149

(43) 公開日 平成7年(1995)3月20日

(51) Int.Cl.⁵H 0 3 K 19/0175
19/003

識別記号

庁内整理番号

C

8321-5 J

F I

H 0 3 K 19/ 00

技術表示箇所

1 0 1 A

審査請求 未請求 請求項の数11 O L (全 10 頁)

(21) 出願番号 特願平5-220864

(22) 出願日 平成5年(1993)9月6日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 衛藤 潤

東京都国分寺市東恋ヶ窪1丁目280番地

株式会社日立製作所中央研究所内

(72) 発明者 中込 儀延

東京都国分寺市東恋ヶ窪1丁目280番地

株式会社日立製作所中央研究所内

(72) 発明者 青木 正和

東京都国分寺市東恋ヶ窪1丁目280番地

株式会社日立製作所中央研究所内

(74) 代理人 弁理士 蔭田 利幸

(54) 【発明の名称】 半導体集積回路装置

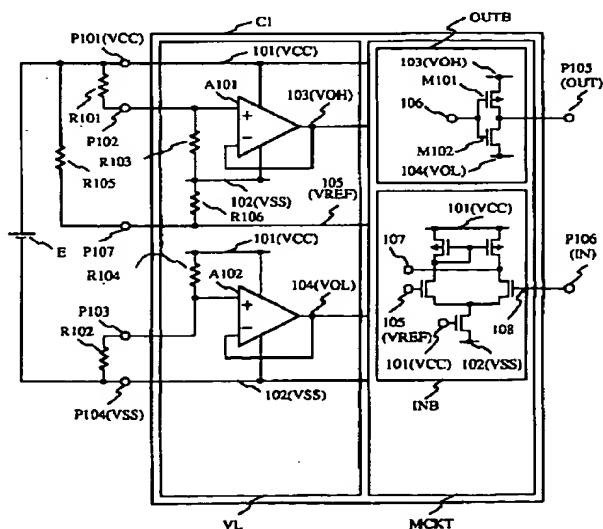
(57) 【要約】

【目的】半導体集積回路装置が実装されたプリント基板において、プリント基板上の信号配線の信号波形の歪が大きくなってもノイズマージンが劣化せず、誤動作を起こさない半導体集積回路装置を提供する。

【構成】半導体集積回路装置(C1)に入力信号レベルの判別を行うための比較電圧及び出力信号レベルを決めるための信号レベル設定信号入力ピン(P101、(P102、P103、P104、P107)を設けた。

【効果】半導体集積回路装置はプリント基板に実装した時のノイズの状況に合わせて、出力信号レベルや入力信号レベルの判別を行うための比較電圧を調整できるのでノイズマージンが劣化せず、誤動作を起こさない。

図 1



【特許請求の範囲】

【請求項 1】半導体集積回路装置のチップ内に入力信号レベルの判別をおこなうための比較電圧及び出力信号レベルを決めるための信号レベル設定手段を設けていることを特徴とする半導体集積回路装置。

【請求項 2】請求項 1 記載の半導体集積回路装置において、上記信号レベル設定手段が上記入力信号レベルの判別をおこなうための比較電圧及び上記出力信号レベルを決めるため外部から電圧信号を入力するためのレベル設定信号入力ピンをもつことを特徴とする半導体集積回路装置。

【請求項 3】請求項 2 記載の半導体集積回路装置において、上記レベル設定信号入力ピンはすくなくとも上記入力信号レベルの判別をおこなうための比較電圧を決めるための信号を入力する第 1 入力信号ピン及び上記出力信号レベルの上記比較電圧からの大きさを決めるための信号を入力する第 2 入力信号ピンをもつことを特徴とする半導体集積回路装置。

【請求項 4】請求項 2 又は 3 記載の半導体集積回路装置において、上記レベル設定信号入力ピンと電源ピン又は接地ピンもしくはその両方との間に受動素子を接続することにより上記出力信号レベルを決めることを特徴とする半導体集積回路装置。

【請求項 5】請求項 2 記載の半導体集積回路装置において、上記レベル設定信号入力ピンには所定の電圧信号が直接入力され、上記所定の電圧信号を基準に上記出力信号レベル及び上記入力信号レベルの判別をおこなうための比較電圧をつくる回路を半導体集積回路装置内部に設けたことを特徴とする半導体集積回路装置。

【請求項 6】請求項 2 記載の半導体集積回路装置において、上記レベル設定信号入力ピンが上記入力信号レベルの判別をおこなうための比較電圧のみを入力するピンであることを特徴とする半導体集積回路装置。

【請求項 7】入力回路及び出力回路をもつ半導体集積回路装置のチップ内に上記出力回路の出力レベルを設定する第 1 の信号レベル設定手段と、上記入力回路の入力信号レベルの判別をおこなうための比較電圧を設定する第 2 の信号レベル設定手段との少なくとも 1 つがもうけられ、上記第 1 及び第 2 の信号レベル設定手段に外部より電圧を印加するレベル設定入力ピンをチップに設けて構成されたことを特徴とする半導体集積回路装置。

【請求項 8】請求項 7 記載の半導体集積回路装置において、上記第 1 の信号レベル設定手段が第 1 のレベル設定入力ピンを介して加えられる電圧によって出力が制御され、高電位の電圧を発生する第 1 の差動増幅回路と、第 2 のレベル設定入力ピンを介して加えられる電圧によって出力が制御され、低電位の電圧を発生する第 2 の差動増幅回路とをもつことを特徴とする半導体集積回路装置。

【請求項 9】請求項 8 記載の半導体集積回路装置におい

て、上記第 2 の信号レベル設定手段が上記第 1 の差動増幅回路と第 2 の差動増幅回路の出力電圧を分割する回路で構成されたことを特徴とする半導体集積回路装置。

【請求項 10】請求項 7 記載の半導体集積回路装置において、上記第 2 の信号レベル設定手段が上記第 1 の差動増幅回路と第 2 の差動増幅回路との間の入力電圧を分割する回路で構成されたことを特徴とする半導体集積回路装置。

【請求項 11】請求項 7、8、9 又は 10 のいずれかに記載の半導体集積回路装置において、上記レベル設定入力ピンの少なくとも 1 部が受動素子を介して電源に接続されたことを特徴とする半導体集積回路装置。

【発明の詳細な説明】**【0001】**

【産業上の利用分野】本発明は半導体集積回路装置、特に、半導体集積回路装置の信号入力回路及び信号出力回路の信号レベル設定に関する。

【0002】

【従来の技術】半導体集積回路装置の信号入力回路及び信号出力回路は、一般的に TTL レベル、CMOS レベル、ECL レベル等標準化されたいずれかの信号レベルで動作するように設計されている。半導体集積回路装置が設計、製造されると、その半導体集積回路装置の信号入力回路の論理しきい値、信号出力回路の出力信号レベルは固有の値をもち、その値の変更はできない。半導体集積回路装置を用いて必要とする動作を行うシステムを作る場合は、半導体集積回路装置や各種受動素子を必要とする配線を行ったプリント基板上に実装して作る。この場合、使用する半導体集積回路装置の扱う信号レベルはできるだけ同じにすることが必要である。

【0003】

【発明が解決しようとする課題】半導体集積回路装置を実装したプリント基板においては、信号配線と信号配線間、あるいは信号配線と電源配線、接地配線間にある寄生のキャパシタンスやインダクタンスによりクロストークを生じ、信号波形が歪む。また、信号配線の特性インピーダンスと半導体集積回路装置の入出力回路のインピーダンスの不整合により信号波形が歪む。このような信号波形の歪が大きくなるとプリント基板上の半導体集積回路装置のノイズマージンが小さくなり、場合によっては誤動作する。

【0004】半導体集積回路装置を使ったシステムの動作速度は年々向上しており、それにとまって信号波形の変化や半導体集積回路装置の動作電流の変化が速くなるので、上記信号波形の歪も大きくなることが予測される。従って、プリント基板上の半導体集積回路装置のノイズマージンが小さくなり、誤動作する可能性はますます増大すると予測される。近年 GTL、CTT 等小信号振幅のインターフェースが提案されている。半導体集積回路装置をこれらのインターフェース毎に作ると半導体

集積回路装置の種類が非常に多くなり、半導体集積回路装置の製造コストの増加を引き起こす。また、GTL、CTTインターフェースのレベルは終端抵抗と終端電源を用いて、終端抵抗に電流を流すことで信号レベルを決めている。従って、その電流が変動すると信号レベルも変動してしまう。これによっても半導体集積回路装置のノイズマージンが小さくなり、誤動作する可能性を生じる。上記信号入力回路の論理しきい値や信号出力回路の出力信号レベルが半導体集積回路装置が実装されたプリント基板上の信号配線の信号波形を観測した後で設定、調整できれば上記のような問題は解決できる。また、同じ信号入出力回路で多種のインターフェースに対応できれば、製造する半導体集積回路装置の種類は少なくなる。

【0005】本発明の目的は半導体集積回路装置や各種受動素子が実装されたプリント基板において、信号配線上の信号波形の歪が大きくなっても半導体集積回路装置のノイズマージンが劣化せず、誤動作を起こさない半導体集積回路装置を提供することにある。また、同じ信号入出力回路で多種のインターフェースに対応できる半導体集積回路装置を提供することにある。

【0006】

【課題を解決するための手段】上記目的を達成するために本発明の半導体集積回路装置は、信号出力回路及び信号入力回路をもつ半導体集積回路装置を構成するチップ内に上記信号入力回路の入力信号レベルの判別をおこなうための比較電圧及び上記信号出力回路の出力信号レベルをチップ外部より可変することができる信号レベル設定手段を設けた。上記信号レベル設定手段には、上記入力信号レベルの判別をおこなうための比較電圧及び上記出力信号レベルを変えることができるように、チップ外部の電圧信号を加えるための信号レベル設定信号入力ピンを設けた。上記信号レベル設定信号入力ピンは上記入力信号レベルの判別をおこなうための比較電圧を決めるための信号を入力する第1ピン及び上記出力信号レベルの上記比較電圧からの大きさを決めるための信号を入力する第2ピンの両方を有するもの、第1ピンのみとするものがある。

【0007】上記信号レベル設定信号入力ピンを介してチップ外部からの電圧信号は、上記信号レベル設定信号入力ピンと電源ピンあるいは接地ピンもしくはその両方との間に抵抗素子、ダイオード等の受動素子を介して電源接続するもの、電源を直接を接続するものがある。また、好ましい形態として、信号レベル設定信号入力ピンには所定の電圧信号が入力され、それを基準に出力信号レベル及び入力信号レベルの判別をおこなうための比較電圧が半導体集積回路装置内部で作られるようにした。

【0008】

【作用】半導体集積回路装置に信号レベル設定信号入力ピンを設けたので、入力信号を判別するための比較電圧

あるいは出力信号レベルを半導体集積回路装置の実装時に設定、調整することができる。従って、実装時にプリント基板上の信号配線の信号波形を観測した後で、入力信号を判別するための比較電圧あるいは出力信号レベルを調整できる。これによりプリント基板上の半導体集積回路装置のノイズマージンを十分確保できる。従って、信号配線上の信号波形の歪が大きくなっても半導体集積回路装置のノイズマージンが劣化せず、誤動作を起こさない。また、実装時に入力信号を判別するための比較電圧あるいは出力信号レベルを設定、調整できるので実装設計の自由度を増大させることができる。また、出力信号レベルや信号入力回路の比較電圧を半導体集積回路装置の使用時に自由に設定できるので種々のインターフェースに対応でき、インターフェース毎に半導体集積回路装置を作る必要がなくなる。従って、半導体集積回路装置の製造コストを低減できる。

【0009】

【実施例】以下、本発明の実施例を図面を用いて説明する。

<実施例>図1は本発明による半導体集積回路装置の第1の実施例の回路図を示す。同図において、P101からP107は半導体集積回路装置C1の入出力ピンを示し、P102、P103、P107は信号レベル設定信号入力ピン、P101は電源(Vcc)ピン、P104は接地(Vss)ピン、P105は信号出力(OUT)ピン、P106は信号入力(IN)ピンを示している。Eは半導体集積回路装置に電力を供給する電源である。半導体集積回路装置C1でブロックMCKTは、論理回路やメモリ回路(図示せず)の他に信号出力回路OUTB及び信号入力回路INBをもつ。ブロックVLは信号レベル設定回路である。信号レベル設定回路VLは内部基準電圧を作る。この内部基準電圧を基準に信号出力回路OUTBの出力信号レベルや信号入力回路INBの比較電圧を決める。なお、信号出力回路OUTBは最終段、信号入力回路INBは初段のみ示している。ここで、MOS-FETのうち矢印のついているものがPチャンネルMOS-FET(以下PMOSと略す)、矢印のついていないものがNチャンネルMOS-FET(以下NMOSと略す)である。

【0010】信号レベル設定回路VLでA101、A102は差動増幅回路である。R101、R102、R105は半導体集積回路装置C1の外部で信号レベル設定信号入力ピンP102、P103、P107に接続するディスクリートの抵抗である。信号レベル設定回路部VLは抵抗R101、R102、R105と共に内部基準電圧を発生する。なお、差動増幅回路A101及びA102は、それぞれ図2及び図3に示す回路で構成されている。図2及び図3に示す差動増幅回路は従来よく知られているので説明を省く。

【0011】これらの回路は次の様に動作する。まず信

号レベル設定回路VLの動作を説明する。信号レベル設定回路VLは、半導体集積回路装置C1の信号出力回路OUTBの出力信号レベルや信号入力回路INBの比較電圧を決めるための内部基準電圧を発生する回路である。抵抗R101を信号レベル設定信号入力ピンP102と電源ピンP101間に接続することにより、電源電圧を抵抗R101、R103で分割し、電圧VOHを作る。電圧VOHは差動増幅回路A101の正入力ノードに入力される。差動増幅回路A101は電圧ゲイン1であり、電流増幅を行う。差動増幅回路A101の出力ノード103には電圧VOHが現れる。

【0012】一方、抵抗R102を信号レベル設定信号入力ピンP103と接地ピンP104間に接続することにより、電源電圧を抵抗R104、R102で分割し、電圧VOLを作る。電圧VOLは差動増幅回路A102の正入力ノードに入力される。差動増幅回路A102も電圧ゲイン1で、電流増幅を行う。差動増幅回路A102の出力ノード104には電圧VOLが現れる。これらの電圧VOH、VOLが内部基準電圧となる。基準電圧VOHが信号出力回路OUTBの出力信号の高レベル、電圧VOLが出力信号の低レベルとなる。

【0013】また、抵抗R105を信号レベル設定信号入力ピンP107と電源ピンP101間に接続することにより、電源電圧Eを抵抗R105、R106で分割し、比較電圧VREFを作る。比較電圧VREFは信号入力回路INBの入力信号レベルを判別するための比較電圧となる。

【0014】信号出力回路OUTBの最終段は、CMOSインバータで構成されている。そのPMOSのソースに基準電圧VOH、NMOSのソースに基準電圧VOLが印加されている。従って、信号出力ピンP105には出力信号としてノード106が高電位(Vcc)の場合は電圧VOLが、ノード106が低電位(Vss)の場合はVOHが現れる。この基準電圧VOH、VOLは、図1からも明らかなように、半導体集積回路装置C1の外部に取り付ける抵抗R101、R102の抵抗値を調整することにより、電圧の大きさを調整することができる。従って、半導体集積回路装置C1のプリント基板への実装時にノイズの状況に合わせて、出力信号レベルを電圧の高い側あるいは低い側へシフトさせることができる。また、出力信号振幅を大きくすることができ、これにより半導体集積回路装置C1のノイズマージンを大きくでき、半導体集積回路装置が誤動作することがなくなる。

【0015】信号入力回路INBの初段は差動増幅回路で構成されている。差動増幅回路の一方の入力ノード108は信号入力ピンP106につながっており、入力信号が加えられる。他方の入力ノード105には入力信号レベルを判別するための比較電圧VREFが加えられる。比較電圧VREFも半導体集積回路装置の外側に取

り付ける抵抗R105の大きさを調整することにより、大きさを調整することができる。従って、半導体集積回路装置のプリント基板への実装時にノイズの状況に合わせて、比較電圧VREFの大きさを調整することができる。これにより半導体集積回路装置のノイズマージンを大きくでき、半導体集積回路装置が誤動作することがなくなる。

【0016】以上述べた様に本発明の半導体集積回路装置は半導体集積回路装置をプリント基板に実装した時のノイズの状況に合わせて、出力信号の信号レベルや入力信号レベルを判別するための比較電圧を調整できるので半導体集積回路装置のノイズマージンを大きくできる。また、この出力信号レベルや比較電圧は半導体集積回路装置毎に調整できる。従って、半導体集積回路装置の動作速度が高速化されて、プリント基板上の信号配線の信号波形の歪が大きくなっても半導体集積回路装置のノイズマージンが劣化せず、誤動作を起こさない。また、これらの出力信号の信号レベルや信号入力回路の比較電圧の調整は実装時にできるので実装設計の自由度を大きくできる。

【0017】本発明の半導体集積回路装置は、出力信号レベルや信号入力回路の比較電圧を半導体集積回路装置の使用時に自由に設定できるので種々のインターフェースに対応でき、インターフェース毎に半導体集積回路装置を作る必要がなくなる。従って、半導体集積回路装置の製造コストを低減できる。

【0018】本実施例では電圧VOH、VOL、VREFを電源電圧を抵抗で分割することにより作ったが電圧を分割できるものであればダイオードやMOS-FETをもちいてもよい。また、本実施例で抵抗R101、R102、R103、R104、R105、R106をなくし、信号レベル設定信号入力ピンP102、P103、P107にそれぞれ電圧VOH、VOL、VREFを入力しても出力信号の信号レベルや信号入力回路の比較電圧を設定できる。これにより使用する部品数を減らせる。

【0019】＜実施例2＞図4は、本発明による半導体集積回路装置の第2の実施例における信号出力回路及び信号入力回路の回路図を示す。本実施例では、信号入力ピン、信号出力ピンを共通のピンで構成したものである。図4に示すように、信号出力回路OUTBの出力ノード144と信号入力回路INBの入力ノード144は共に信号入出力ピンP141に接続されている。信号出力回路OUTBの最終段はCMOSインバータで構成されている。そのPMOSのソースに基準電圧VOH、NMOSのソースに基準電圧VOLが印加されている。ノード141、142には相補信号が入力される。信号入力回路INBの初段は差動増幅回路で構成されている。差動増幅回路の一方の入力ノード144は信号入出力ピンP141に接続され、他方の入力ノード145には入

力信号レベルを判別するための比較電圧 V_{REF} が加えられている。

【0020】この回路は次のように動作する。ノード143に入力される信号OEが高電位の場合は信号入力回路INBの差動増幅回路がオフ状態となる。一方、信号出力回路OUTBは動作可能である。従って、ノード141、142に信号が加えられるとそれに応じた信号が信号入出力ピンP141に現れる。例えばノード141が高電位、ノード142が低電位であれば信号入出力ピンP141には電圧VOHが現れる。ノード141が低電位、ノード142が高電位であれば信号入出力ピンP141には電圧VOLが現れる。信号OEが低電位の場合は信号出力回路OUTBがオフ状態となり、出力ノード144は高インピーダンス状態となる。この時、信号入力回路INBのノード146に入力される信号WBが低電位となると差動増幅回路が動作する。従って、このとき信号入出力ピンP141に加えられた信号に応じた信号がノード147に現れる。以上述べた様に信号入出力ピンが共通の半導体集積回路装置であっても信号出力回路の出力信号レベルや信号入力回路の比較電圧を調整することができる。

【0021】＜実施例3＞図5は本発明による半導体集積回路装置の第3の実施例の回路図を示す。この実施例は、信号入力回路INBの入力信号レベルを判別するための比較電圧 V_{REF} を半導体集積回路装置内部で作るものである。従って、比較電圧 V_{REF} を作る回路以外は図1に示す回路と同じである。図1と同じ記号は同じ回路、ノード等を示している。比較電圧 V_{REF} は内部基準電圧VOHとVOLの差をMOS-FET (M151及びM151)で分割して作っている。ここでPMOS (M151)とNMOS (M152)が作る抵抗が同じであると、比較電圧 V_{REF} は内部基準電圧VOHとVOLの中間の電圧となる。従って、入力信号レベルの高電圧側がVOH、低電圧側がVOLとするとどちらにも同じノイズマージンを持つことになる。

【0022】この様に半導体集積回路装置C1内部で信号入力回路の入力信号レベルを判別するための比較電圧 V_{REF} を作れば信号レベル設定信号入力ピンや抵抗の数を減らすことができ、半導体集積回路装置を使用して構成されるシステムのコストを下げることができる。また、この実施例でも半導体集積回路装置の外側に取り付ける抵抗R101、R102の大きさを調整することにより、信号出力回路OUTBの出力信号レベルを調整することができる。これにより半導体集積回路装置のノイズマージンを大きくでき、半導体集積回路装置が誤動作することがなくなる。なお、比較電圧 V_{REF} は電圧VOHとVOLの差を抵抗により分割して作ってもよい。

【0023】＜実施例4＞図6は本発明による半導体集積回路装置の第4の実施例の回路図を示す。この実施例は信号レベル設定信号入力ピンにダイオードを接続して

信号出力回路の出力信号レベルや信号入力回路の入力信号レベルを判別するための比較電圧を決めるものである。図5に示す実施例とは信号レベル設定信号入力ピンへのダイオード、抵抗の接続関係が異なる。その他の回路構成は図5に示す実施例と同じである。ここでは信号レベル設定回路とそれに関係する回路のみ示している。なお、入力信号レベルを判別するための比較電圧を作る回路は図示していない。この実施例では内部基準電圧VOHはダイオードの順方向電圧2個分の電圧となり、VOLはダイオードの順方向電圧1個分の電圧となる。直列に接続するダイオードの数を変えれば内部基準電圧を変えることができる。従って、出力信号レベルを変えることができる。出力信号振幅を大きくすることもできる。また、信号入力回路の入力信号レベルを判別するための比較電圧を変えることもできる。これにより半導体集積回路装置のノイズマージンを大きくでき、半導体集積回路装置が誤動作することがなくなる。

【0024】＜実施例5＞図7は本発明による半導体集積回路装置の第5の実施例の回路図を示す。この実施例は、内部基準電圧VOH、VOLを全て半導体集積回路装置C1の外側に取り付ける抵抗で決めるものである。この外側に取り付ける抵抗以外の回路は図5に示す回路と同じである。ここでは信号レベル設定回路とそれに関係する回路のみ示している。

【0025】本実施例では、信号レベル設定信号入力ピンP102と電源ピンP101、接地ピンP104の間に抵抗R221、R222を接続している。また、信号レベル設定信号入力ピンP103と電源ピンP101、接地ピンP104の間に抵抗R223、R224を接続している。従って、内部基準電圧VOHは電源電圧を抵抗R221とR222で分割した大きさととなる。また、VOLは電源電圧を抵抗R223とR224で分割した大きさととなる。この実施例では内部基準電圧VOH、VOLは半導体集積回路装置C1の外側で接続する抵抗だけで変えることができるので、内部基準電圧VOH、VOLの設定の自由度が大きくなる。従って、半導体集積回路装置のノイズマージンを大きくでき、半導体集積回路装置が誤動作することがなくなる。

【0026】＜実施例6＞図8は本発明による半導体集積回路装置の第6の実施例の回路図である。この実施例は半導体集積回路装置の外側から入力する基準電圧（ここでは外部基準電圧と言う）を基準に信号出力回路の出力信号レベルや信号入力回路の入力信号レベルを判別するための比較電圧を作る回路の例である。この実施例では信号レベル設定信号入力ピンに抵抗および外部基準電圧を接続する。内部基準電圧VOH、VOLを作る回路以外は図1に示す回路構成と同じである。ここでは信号レベル設定回路とそれに関係する回路のみ示している。図1と同じ記号は同じ回路、ノード等を示している。C1は半導体集積回路装置、MCKTは論理回路やメモリ

回路を示している。P101からP104及びP107は半導体集積回路装置の入出力ピンを示している。P102、P103、P107は信号レベル設定信号入力ピンでP102、P103には抵抗、P107には外部基準電圧が接続される。P101は電源ピン、P104は接地ピンを示している。E1は半導体集積回路装置に電力を供給する電源、E2は外部基準電圧用電源である。R301、R302は半導体集積回路装置の外側で信号レベル設定信号入力ピンに接続する抵抗を示している。なお、A101、A102は差動増幅回路である。

【0027】この実施例では半導体集積回路装置C1の外部で信号レベル設定信号入力ピンP102と電源ピンP101間に抵抗R301を接続している。半導体集積回路装置C1内部では信号レベル設定信号入力ピンP102と接地ノード102間にPMOS(M301)を接続し、そのゲート301は外部基準電圧E2が印加されるピンP107に接続されている。また、信号レベル設定信号入力ピンP102は差動増幅回路A101の正入力ノード302に接続されている。ノード302の電圧は外部基準電圧E2よりPMOS(M301)のゲートソース間電圧分だけ高い電圧となる。この電圧は抵抗R301の大きさを変えることにより調整できる。この電圧は差動増幅回路A101の出力ノード103に現れる。従って、外部基準電圧を V_{rr} 、PMOSのゲートソース間電圧を V_{gsp} とすると、内部基準電圧 V_{OH} は $V_{rr} + V_{gsp}$ となる。

【0028】一方、信号レベル設定信号入力ピンP103と接地ピンP104間に抵抗R302を接続している。半導体集積回路装置C1内部では信号レベル設定信号入力ピンP103と電源ノード101間にNMOS(M302)を接続し、そのゲートは外部基準電圧が印加されるピンP107に接続されている。また、信号レベル設定信号入力ピンP103は差動増幅回路A102の正入力ノード303に接続されている。ノード303の電圧は外部基準電圧E2よりNMOSのゲートソース間電圧分だけ低い電圧となる。この電圧は抵抗R302の大きさを変えることにより調整できる。この電圧は差動増幅回路A102の出力ノード104に現れる。従って、外部基準電圧を V_{rr} 、NMOSのゲートソース間電圧を V_{gsn} とすると、内部基準電圧 V_{OL} は $V_{rr} - V_{gsn}$ となる。

【0029】図8では信号入力回路を示していないが、信号入力回路の入力信号レベルを判別するための比較電圧には外部基準電圧を用いる。入力信号レベルを判別するための比較電圧は外部基準電圧で調整でき、出力信号レベルは外部基準電圧を基準として抵抗R301、R302の抵抗値を変えることにより調整できるので、それぞれのレベルはほぼ独立に設定できることになる。これにより半導体集積回路装置のノイズマージンを大きくでき、半導体集積回路装置が誤動作することがなくなる。

また、この外部基準電圧はMOS-FETのゲートにのみ接続されるので電流が流れず安定な基準電圧となる。従って、信号入力回路の入力信号レベルを判別するための比較電圧も変動の小さい電圧となり、信号入力回路のノイズマージンを確保しやすくなる。なお、半導体集積回路装置の外側で信号レベル設定信号入力ピンに接続する抵抗を半導体集積回路装置内部に設けると部品数を減らすことができる。

【0030】＜実施例7＞図9は本発明による半導体集積回路装置の第7の実施例の回路図である。この実施例は外部基準電圧を基準に信号出力回路の出力信号レベルや信号入力回路の入力信号レベルを判別するための比較電圧を作る回路の別の例である。この実施例では信号レベル設定信号入力ピンにダイオード及び外部基準電圧を接続する。内部基準電圧 V_{OH} 、 V_{OL} を作る回路以外は図1に示す回路構成と同じである。ここでは信号レベル設定回路とそれに関係する回路のみ示している。図1と同じ記号は同じ回路、ノード等を示している。

【0031】この実施例では差動増幅回路A101の正入力ノード311の電圧は外部基準電圧よりダイオードD311の順方向電圧だけ高い電圧となる。ノード311の電圧は差動増幅回路A101の出力ノード103に現れる。従って、外部基準電圧を V_{rr} 、ダイオードの順方向電圧を V_f とすると、内部基準電圧 V_{OH} は $V_{rr} + V_f$ となる。一方、差動増幅回路A102の正入力ノード312の電圧は外部基準電圧よりダイオードD312の順方向電圧だけ低い電圧となる。この電圧は差動増幅回路A102の出力ノード104に現れる。内部基準電圧 V_{OL} は $V_{rr} - V_f$ となる。

【0032】ダイオードの数を減らすことにより内部基準電圧 V_{OH} 、 V_{OL} の大きさを変えることができる。従って、出力信号レベルを変えることができる。出力信号振幅を大きくすることもできる。これにより半導体集積回路装置C1のノイズマージンを大きくでき、半導体集積回路装置が誤動作することがなくなる。なお、この実施例でダイオードを抵抗に置き換えれば内部基準電圧の微小な調整が可能となり、出力信号レベルや信号入力回路の比較電圧の微小な調整が可能となる。

【0033】＜実施例8＞図10は本発明による半導体集積回路装置の第8の実施例の回路図である。この実施例は信号レベル設定信号入力ピンに外部基準電圧のみ接続する例である。信号レベル設定回路部V1と信号レベル設定信号入力ピン以外は図1に示す回路と同じである。図1と同じ記号は同じ回路、ノード等を示している。図10でC1は半導体集積回路装置を示している。P101、P104及びP107は半導体集積回路装置の入出力ピンを示している。P101は電源(V_{cc})ピン、P104は接地(V_{ss})ピンを示している。ピンP107には外部基準電圧用電源E2が接続される。半導体集積回路装置C1でMCKTは論理回路やメモリ

回路、VLが信号レベル設定回路である。MCKTでOUTBが信号出力回路、INBが信号入力回路である。VLでA101、A102は差動増幅回路である。E1は半導体集積回路装置に電力を供給する電源である。

【0034】この実施例では差動増幅回路A101の正入力ノード321の電圧は外部基準電圧よりPMOS (M322) のゲートソース間電圧分だけ高い電圧となる。この電圧は差動増幅回路A101の出力ノード103に現れ、内部基準電圧VOHとなる。従って、外部基準電圧をVrr、PMOS (M322) のゲートソース間電圧をVgspとすると、VOHはVrr+Vgspとなる。なお、このVgspはPMOS (M321) のチャネル長やチャネル幅を変えることにより調整する。

【0035】一方、差動増幅回路A102の正入力ノード322の電圧は外部基準電圧よりNMOS (M323) のゲートソース間電圧分だけ低い電圧となる。この電圧は差動増幅回路A102の出力ノード104に現れる。従って、外部基準電圧をVrr、NMOS (M323) のゲートソース間電圧をVgsnとすると、VOLはVrr-Vgsnとなる。なお、このVgsnはNMOS (M324) のチャネル長やチャネル幅を変えることにより調整する。この内部基準電圧VOH、VOLは信号出力回路OUTBの最終段に使われ、出力信号の高レベルをVOH、低レベルをVOLとする。信号入力回路INBでは、入力信号レベルの判別用比較電圧として外部基準電圧が使われる。

【0036】この様に本実施例では出力信号レベルの高レベル、低レベル及び入力信号レベルの判別用比較電圧はすべて外部基準電圧を基に作られる。この外部基準電圧はMOS-FETのゲートにのみ接続されるので電流が流れず電圧変動がほとんどない。従って、安定な出力信号レベル、入力信号レベルの判別用比較電圧を作ることができる。これにより半導体集積回路装置のノイズマージンの劣化を抑えることができ、半導体集積回路装置が誤動作することがない。

【0037】＜実施例9＞図11は本発明による半導体集積回路装置の第9の実施例の回路図である。この実施例は終端抵抗を持つ配線に信号出力ノードを接続する場合を示している。ここでは半導体集積回路装置C1の信号出力回路OUTBのみ示している。L401はプリント基板上の配線、R401は終端抵抗である。また、ノード401には電圧VT Tの終端電源がつながる。この場合もノード106に入力される信号に応じて電圧VOH又はVOLが出力される。なお、最終段のPMOS (M101) 及びNMOS (M102) で電圧降下を生じるが、その大きさを考慮して内部基準電圧VOH、VOLを作ればよい。このように信号出力ノードが終端抵抗につながる場合でも本半導体集積回路装置は使うことができる。

【0038】＜実施例10＞図12は本発明による半導体集積回路装置の第10の実施例の回路図である。この実施例も終端抵抗を持つ配線に信号出力ノードを接続する場合を示している。ここでは半導体集積回路装置C1の信号出力回路OUTBのみ示している。L401はプリント基板上の配線、R401は終端抵抗である。また、ノード401には電圧VT Tの終端電源がつながる。この場合はノード106が高電位るとき信号出力ピンP105に電圧VOLが出力される。ノード106が低電位ときは信号出力ピンP105は電圧VT Tとなる。従って、終端電圧VT Tを電圧VOLよりも高くしておけば、出力信号の高レベルはVT T、低レベルはVOLとなる。このように信号出力ノードが終端抵抗につながる場合でも本半導体集積回路装置は使うことができる。

【0039】本発明は上記実施例に限定されるものでなく、半導体集積回路装置の出力信号レベルや信号入力回路の比較電圧を半導体集積回路装置外部から入力する、信号レベル設定信号によって決定するという思想から逸脱しない範囲で種々変更可能である。

【0040】

【発明の効果】本発明の半導体集積回路装置はプリント基板に実装した時のノイズの状況に合わせて、出力信号の信号レベルや信号入力回路の比較電圧を調整できるので半導体集積回路装置のノイズマージンを大きくできる。従って、半導体集積回路装置の動作速度が高速化されて、プリント基板上の信号配線の信号波形の歪が大きくなっても半導体集積回路装置のノイズマージンが劣化せず、誤動作を起こさない。これらの出力信号の信号レベルや信号入力回路の比較電圧の調整は実装時にできるので実装設計の自由度を大きくできる。また、本発明の半導体集積回路装置は出力信号レベルや信号入力回路の比較電圧を半導体集積回路装置の使用時に自由に設定できるので種々のインターフェースに対応でき、インターフェース毎に半導体集積回路装置を作る必要がなくなる。従って、半導体集積回路装置の製造コストを低減できる。

【図面の簡単な説明】

【図1】本発明による半導体集積回路装置の第1の実施例の回路図である。

【図2】図1の差動増幅回路A101の一例の回路図である。

【図3】図1の差動増幅回路A102の一例の回路図である。

【図4】本発明による半導体集積回路装置の第2の実施例における信号出力回路及び信号入力回路の回路図である。

【図5】本発明による半導体集積回路装置の第3の実施例の回路図である。

【図6】本発明による半導体集積回路装置の第4の実施

例の回路図である。

【図 7】本発明による半導体集積回路装置の第 5 の実施例の回路図である。

【図 8】本発明による半導体集積回路装置の第 6 の実施例の回路図である。

【図 9】本発明による半導体集積回路装置の第 7 の実施例の回路図である。。

【図 10】本発明による半導体集積回路装置の第 8 の実施例の回路図である。

【図 11】本発明による半導体集積回路装置の第 9 の実施例の回路図である。

【図 12】本発明による半導体集積回路装置の第 10 の実施例の回路図である。

【符号の説明】

C1…半導体集積回路装置、

VL…信号レベル設定回路部、

MCKT…論理回路やメモリ回路部、

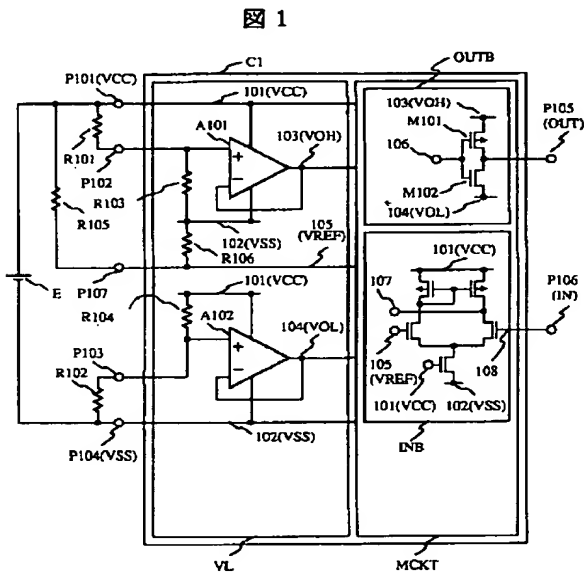
OUTB…信号出力回路、

INB…信号入力回路、

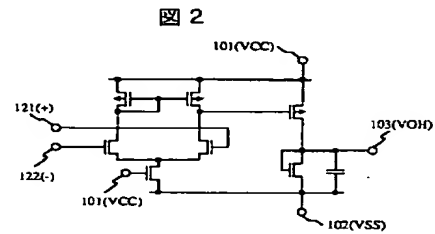
A101、A102…差動増幅回路、

P102、P103、P107…信号レベル設定信号入力ピン。

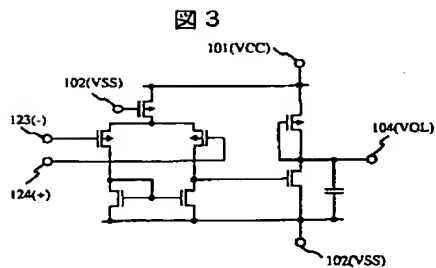
【図 1】



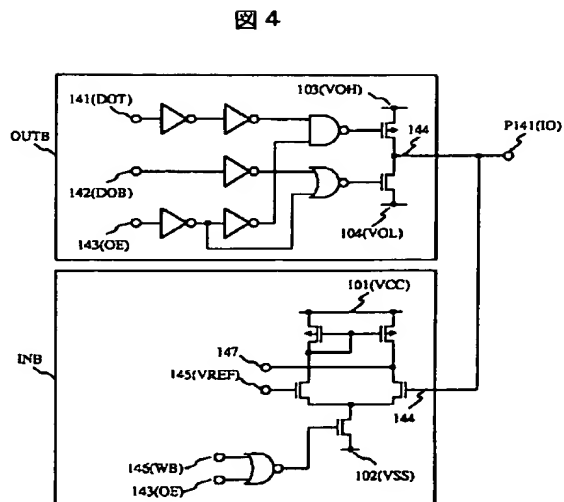
【図 2】



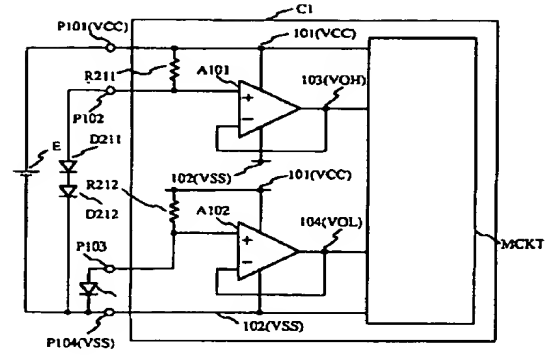
【図 3】



【図 4】

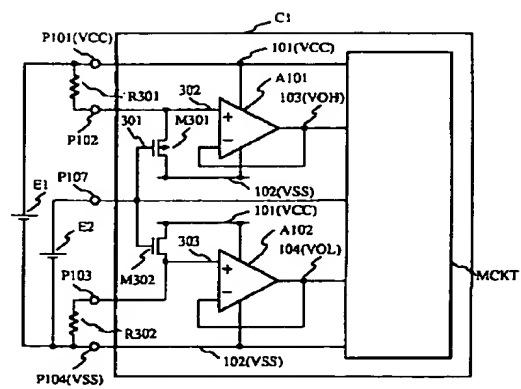


【图 6】



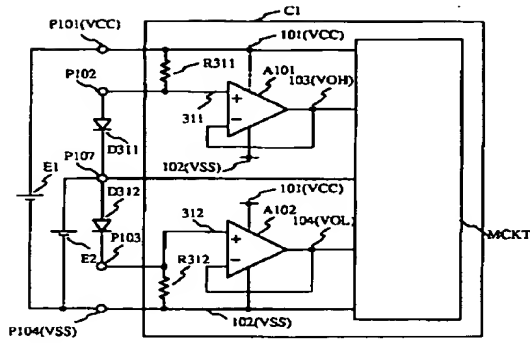
【図 8】

图 8



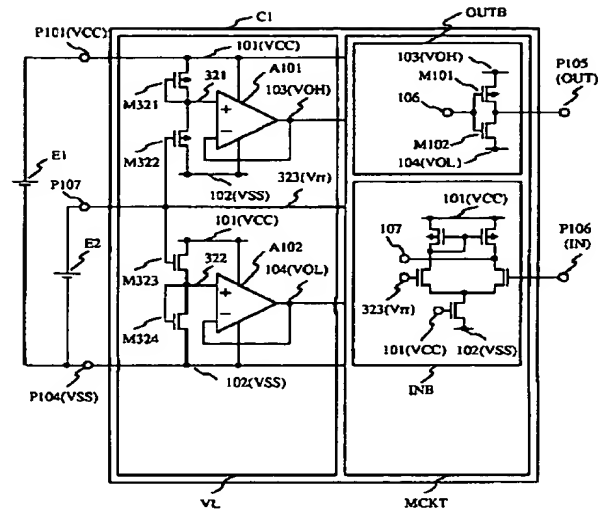
【図 9】

図 9



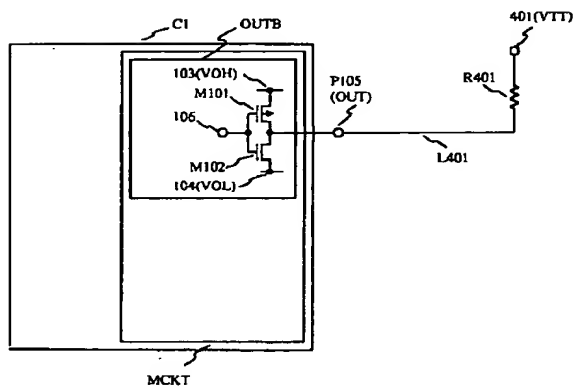
【図 10】

図 10



【図 11】

図 11



【図 12】

図 12

